

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251579

(43)Date of publication of application : 17.09.1999

(51)Int.Cl. H01L 29/78

(21)Application number : 11-005079 (71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 12.01.1999 (72)Inventor : HSU LOUIS LU-CHEN
MANDELMAN JACK ALLAN

(30)Priority

Priority number : 98 7908 Priority date : 15.01.1998 Priority country : US

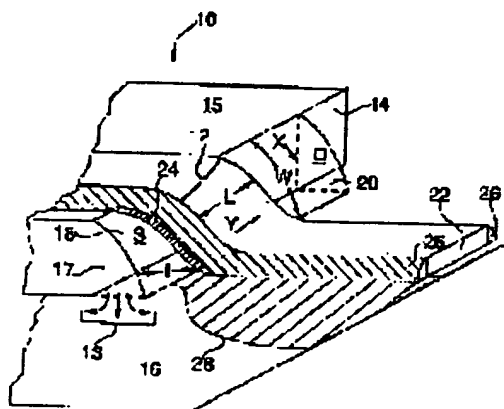
(54) FIELD-EFFECT TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a field-effect transistor having a substantially isolated body.

SOLUTION: This field-effect transistor as an insulated gate field-effect transistor 10 has a device region 17, formed on a semiconductor material-made substantially electrically isolated region contact a semiconductor substrate 16 via a neck region 13 capable of exchanging charged carriers with the semiconductor substrate 16.

The device region 17 of the transistor 10 is isolated from the electric contact to the substrate 16 at a surface other than that of the neck region 13.



LEGAL STATUS

[Date of request for examination] 29.07.1999

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3309078

[Date of registration] 17.05.2002

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251579

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.⁶
H 0 1 L 29/78

識別記号

F I
H 0 1 L 29/78

3 0 1 H

審査請求 未請求 請求項の数25 O L (全 11 頁)

(21) 出願番号 特願平11-5079

(22) 出願日 平成11年(1999) 1月12日

(31) 優先権主張番号 09/007908

(32) 優先日 1998年1月15日

(33) 優先権主張国 米国 (US)

(71) 出願人 300009531

インターナショナル・ビジネス・マシー
ズ・コーポレーション

INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ルイス・ル・チェン・スー

アメリカ合衆国 12524 ニューヨーク州
フィッシュキル クロスバイ コート
7

(74) 代理人 弁理士 坂口 博 (外1名)

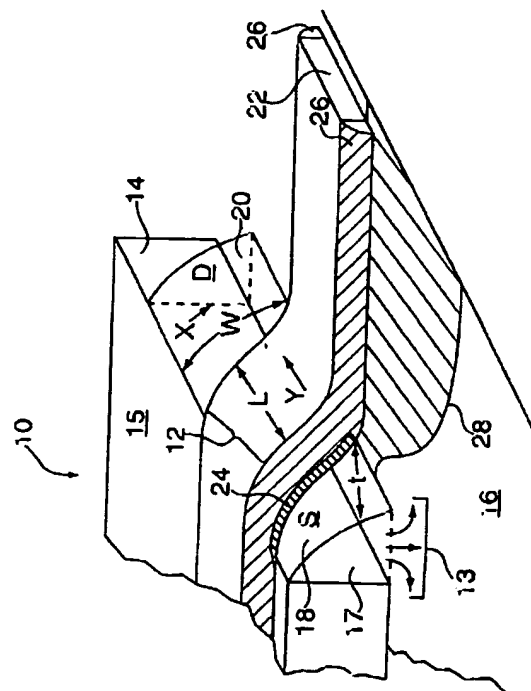
最終頁に続く

(54) 【発明の名称】 電界効果トランジスタおよびその製造方法

(57) 【要約】

【課題】 実質的に分離されたボディを有する電界効果トランジスタを提供する。

【解決手段】 本発明の電界効果トランジスタは、半導体基板16と電荷キャリアの交換を可能にするネック領域13を経て、半導体基板と接触する、半導体材料よりなる実質的に電氣的に分離された領域に形成されたデバイス領域17を有している。トランジスタのデバイス領域は、ネック領域以外の面で基板との電氣的接触から分離されている。



【特許請求の範囲】

【請求項1】基板と電荷キャリアの交換を可能にするネック領域を経て、半導体を含む基板と接触する、半導体材料よりなる実質的に電氣的に分離されたデバイス領域を備え、このデバイス領域は、前記ネック領域以外の面では前記基板との電氣的接触から分離されており、前記デバイス領域の中央部に形成されたチャンネル領域と、

前記チャンネル領域と電氣的に接触するソース領域およびドレイン領域と、

前記チャンネル領域に結合され、前記ソース領域とドレイン領域との間の電流を変調するように動作するゲートと、を備えることを特徴とする電界効果トランジスタ。

【請求項2】前記ゲートと前記チャンネルとの間に設けられた絶縁膜をさらに備えることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項3】前記デバイス領域は、前記基板のアイソレーション領域の側壁に接触することを特徴とする請求項2記載の電界効果トランジスタ。

【請求項4】前記デバイス領域は、サブリソグラフィック・スケールの厚さを有することを特徴とする請求項2記載の電界効果トランジスタ。

【請求項5】前記基板の前記半導体は、少なくとも第1のドーパント形の注入イオンを含むドーパされた領域を有し、前記デバイス領域のボディと前記ソース領域と前記ドレイン領域とのうちの少なくとも1つは、前記デバイス領域が定められた後に、イオン注入によってドーパされ、前記少なくとも1つのドーパされたデバイス領域は、前記ドーパされた基板の領域と位置合わせされていることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項6】前記チャンネル領域は、複数の電氣的に分離された面を有し、これらの面は、前記チャンネル領域が前記ソース領域と前記ドレイン領域と前記基板とに接触する領域以外の前記チャンネル領域のほぼすべての表面領域を有し、前記ゲートは、前記複数の電氣的に分離されたすべての面を覆うことを特徴とする請求項2記載の電界効果トランジスタ。

【請求項7】前記デバイス領域の第1の面に接する第1のアイソレーション領域をさらに備えることを特徴とする請求項6記載の電界効果トランジスタ。

【請求項8】前記デバイス領域の第2の面に接する第2のアイソレーション領域をさらに備えることを特徴とする請求項7記載の電界効果トランジスタ。

【請求項9】前記第1のアイソレーション領域は、浅いトレンチアイソレーション領域であり、前記第2のアイソレーション領域は、フィールド酸化物領域であることを特徴とする請求項8記載の電界効果トランジスタ。

【請求項10】浅いトレンチアイソレーション領域の側壁に形成され、基板と電荷キャリアの交換を可能にする

ネック領域を経て、半導体を含む基板と接触する、半導体材料よりなる実質的に電氣的に分離されたデバイス領域を備え、このデバイス領域は、前記ネック領域以外の面では前記基板との電氣的接触から分離されており、前記デバイス領域の中央部を形成し、第1のドーパント形の注入イオンを含むチャンネル領域と、

前記チャンネル領域と電氣的に接触し、第2のドーパント形の注入イオンを含み、前記第1のドーパント形のイオンがほとんどないソース領域およびドレイン領域と、前記チャンネル領域に結合され、前記ソース領域とドレイン領域との間の電流を変調するように動作するゲートと、を備えることを特徴とする電界効果トランジスタ。

【請求項11】電界効果トランジスタを製造する方法であって、

半導体材料を含む基板にアイソレーション領域を形成する工程と、

前記基板を異方性エッチングして、半導体材料よりなる側壁スペース領域を、前記アイソレーション領域の側壁に、前記電界効果トランジスタのデバイス領域として残す工程と、

前記デバイス領域の少なくとも一部のドーピング濃度を変更して、ソース/ドレイン領域およびチャンネル領域を形成し、前記ソース/ドレイン領域は、第1のドーパント形を有し、前記チャンネル領域は、前記第1のドーピング形とは反対の第2のドーパント形を有するようにする工程と、

前記チャンネル領域を覆うゲートを形成する工程と、を含むことを特徴とする電界効果トランジスタの製造方法。

【請求項12】前記アイソレーション領域を形成する工程は、浅いトレンチをエッチングし、絶縁材料を付着して、浅いトレンチアイソレーション領域を形成する工程を含むことを特徴とする請求項11記載の電界効果トランジスタの製造方法。

【請求項13】前記エッチングの工程の前に、前記基板の下側半導体層の上に単結晶半導体材料よりなるエピタキシャル層を形成する工程をさらに含み、前記エピタキシャル層は、前記下側半導体層がエッチング停止層を形成するように、前記下側半導体層とは異なるドーパント濃度を有し、前記エッチング工程は、前記エッチング停止層が露出するまで行われることを特徴とする請求項11記載の電界効果トランジスタの製造方法。

【請求項14】前記エピタキシャル層は、真性半導体材料で形成され、前記ドーパント濃度を変更する工程は、第1のドーパント形のイオンを注入して、前記チャンネル領域を形成する工程と、第2のドーパント形のイオンを注入して、前記ソース/ドレイン領域を形成する工程とを含むことを特徴とする請求項13記載の電界効果トランジスタの製造方法。

【請求項15】前記浅いトレンチアイソレーション領域は、前記基板の半導体材料の最上層の表面上に位置する

上面を有して形成され、

前記エッチング工程の前に、

前記最上層の露出表面上にコンフォーマル材料の層を付着する工程をさらに含む、

前記エッチング工程は、前記コンフォーマル材料を異方性エッチングして、前記コンフォーマル層の材料が、前記浅いトレンチアイソレーション領域の前記側壁に、前記デバイス領域を形成する際のマスクとして残るようにする工程をさらに含む、ことを特徴とする請求項12記載の電界効果トランジスタの製造方法。

【請求項16】前記コンフォーマル材料は、窒化シリコンであることを特徴とする請求項15記載の電界効果トランジスタの製造方法。

【請求項17】前記アイソレーション領域および前記デバイス領域によって占有されない位置に、前記基板に第2のアイソレーション領域を形成する工程をさらに含む、前記第2のアイソレーション領域は、前記ゲートのゲート導体を、前記基板から電氣的に分離することを特徴とする請求項11記載の電界効果トランジスタの製造方法。

【請求項18】前記第2のアイソレーション領域は、前記基板を酸素に曝露することによって、フィールド酸化物領域として形成されることを特徴とする請求項17記載の電界効果トランジスタの製造方法。

【請求項19】ゲート導体によって取り囲まれるチャネル領域を有する電界効果トランジスタを製造する方法であって、

半導体材料を含む基板に第1のアイソレーション領域を形成する工程と、

前記基板を異方性エッチングして、前記アイソレーション領域の側壁に、半導体材料よりなる側壁スペーサ領域を、前記電界効果トランジスタのデバイス領域として残す工程と、

前記第1のアイソレーション領域をリセスして、リセスされた第1のアイソレーション領域の上面が、前記デバイス領域の上面の下に位置するようにする工程と、

前記デバイス領域の少なくとも一部のドーピング濃度を変更して、ソース/ドレイン領域およびチャネル領域を形成し、前記ソース/ドレイン領域は、第1のドーパント形を有し、前記チャネル領域は、前記第1のドーピング形とは反対の第2のドーパント形を有するようにする工程と、

前記チャネル領域上にゲート導体を付着して、前記チャネル領域を取り囲む工程と、を含むことを特徴とする電界効果トランジスタの製造方法。

【請求項20】前記エッチング工程は、前記基板を第1の深さにリセスし、前記リセスの工程は、前記第1の深さにはほぼ同じ前記基板の深さに、前記第1のアイソレーション領域をリセスすることを特徴とする請求項19記載の電界効果トランジスタの製造方法。

【請求項21】前記FETの前記第1のアイソレーション領域とは反対側に、第2のアイソレーション領域を前記基板に形成する工程をさらに含むことを特徴とする請求項19記載の電界効果トランジスタの製造方法。

【請求項22】前記第1のアイソレーションは、浅いトレンチアイソレーション領域であることを特徴とする請求項21記載の電界効果トランジスタの製造方法。

【請求項23】前記第2のアイソレーションは、シリコンの局部酸化により形成されることを特徴とする請求項22記載の電界効果トランジスタの製造方法。

【請求項24】前記第1のアイソレーション領域は、前記基板の半導体材料の最上層の上面上に位置する上面を有する浅いトレンチアイソレーション領域であり、

前記エッチング工程の前に、

前記最上層の露出表面上にコンフォーマル材料の層を付着する工程をさらに含む、

前記エッチング工程は、前記コンフォーマル材料を異方性エッチングして、前記コンフォーマル層の材料が、前記浅いトレンチアイソレーション領域の前記側壁に、前記デバイス領域を形成する際のマスクとして残るようにする工程をさらに含む、ことを特徴とする請求項19記載の電界効果トランジスタの製造方法。

【請求項25】前記エッチングの工程は、サブリソグラフィック厚さのデバイス領域を形成することを特徴とする請求項24記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路デバイスに関し、特に、電界効果トランジスタに関する。

【0002】

【従来の技術】増大したゲート制御、減少したボディ効果、減少したキャパシタンス、低い接合漏洩電流は、SOI (semiconductor-on-insulator) 基板に作製された金属酸化物半導体電界効果トランジスタ (MOSFET) を含む絶縁ゲート電界効果トランジスタ (IGFET) の特性の一部である。SOI IGFETのこれらの特性は、それらを低電圧、低圧力の応用に用いることの興味を生じさせた。しかし、SOI 基板にデバイスを作製することに固有の問題は、回路の設計を複雑にし、開発および製造のコストを増大させる。

【0003】基板に電氣的に接触したボディを有し、基板と電荷キャリアを交換するバルクシリコン基板に形成されたIGFETデバイスとは異なり、SOI IGFETは、電荷キャリアを永久にあるいはほぼ永久に蓄積するフローティング・ボディを有している。SOI IGFETデバイスのこの特徴は、ヒステリシス効果を示す電氣的特性を生じる。この電氣的特性では、SOI デバイスは、先の数100ミリ秒の動作の際の状態の関数として電氣的に動作する。さらに、SOI IGFET

のフローティング・ボディは、信頼性の問題と関係してきた。信頼性の問題は、例えば、バルクシリコン基板に作製された従来のIGFETに比べて、デバイス・ラッチアップへの増大したサセプティビリティ(susceptibility)、および増大したホットキャリア低下である。

【0004】SOI IGFETを受け入れることについての障害は、SOI基板製造のコストが増大することである。SOI基板の製造は、追加の処理工程、例えば酸素注入シリコン(SIMOX)基板における高温での長期間のアニールを伴う高ドーズ量の酸素注入、またはボンディングおよびエッチバックSOI(BESOI)におけるように、2つの用意されたウェハのボンディングおよび上部半導体層の所望の厚さへの研磨を含んでいる。

【0005】

【発明が解決しようとする課題】したがって、本発明の目的は、実質的に分離されたボディ(しかし基板に接合されたままであり、基板と電荷キャリアを交換する)を有する電界効果トランジスタを提供することにある。

【0006】本発明の他の目的は、基板へのボディ接触を保持しながら、前記したフローティング・ボディの有害な結果を避けて、急速なスイッチング速度を容易にするために、実質的に分離されたボディを有する電界効果トランジスタを提供することにある。

【0007】本発明のさらに他の目的は、非常に短い有効チャネル長を有する電界効果トランジスタを提供することにある。

【0008】本発明の他の目的は、減少した接合容量を有する電界効果トランジスタを提供することにある。

【0009】本発明の他の目的は、大きなチャネル幅を有するが、小領域の半導体基板を占有する電解効果トランジスタを製造する方法を提供することにある。

【0010】本発明の他の目的は、増大したデバイス電流を与えるために、サブリソグラフィ厚さを有するボディを持つ電界効果トランジスタを提供することにある。

【0011】本発明の他の目的は、ゲート導体がFETのボディを取り囲み、FETが大きなアイソレーション領域によって基板上で他の回路素子から電気的に分離されているFETを提供することにある。

【0012】

【課題を解決するための手段】これらのおよび他の目的は、本発明による実質的に分離されたボディを有するトランジスタと、トランジスタの製造方法とによって達成される。

【0013】本発明の第1の態様によれば、電界効果トランジスタ(FET)は、半導体基板と電荷キャリアの交換を可能にするネック領域を経て、半導体基板と接触する、半導体材料よりなる実質的に分離されたボディ、すなわちチャネル領域を有している。トランジスタのボ

ディは、ネック領域以外の面で基板との電気的接触から分離されている。

【0014】本発明の好適な態様によれば、FETのボディは、基板のアイソレーション領域の側壁に形成される。本発明の他の好適な態様によれば、ボディは、複数の電気的に分離された面を有している。これらの面は、ネック領域での面以外の、ボディのほぼすべての面領域を有している。ゲートは、電気的に分離されたすべての面を覆っている。

【0015】本発明の他の好適な態様によれば、ボディは、サブリソグラフィック厚さを有し、単結晶半導体基板に接触する、エピタキシャル半導体材料の側壁スペーサ領域に形成される。好適には、基板は、第1の注入でドーパントイオンが注入され、ドーパントイオンの第2の注入によって、ボディ領域およびソース/ドレイン領域が形成され、ドーパされた基板領域に位置合わせされて、ドーパされたアクティブ・デバイス領域が形成される。

【0016】本発明のさらに他の態様によれば、電界効果トランジスタ(FET)を製造する方法が提供される。この方法は、半導体基板にアイソレーション領域を形成する工程と、基板上にコンフォーマル材料層を付着する工程と、コンフォーマル材料を異方性エッチングし、半導体材料をアイソレーション領域の側壁に、FETのアクティブ・デバイス領域として残す工程とを含んでいる。チャネル領域およびソース/ドレイン領域が、アクティブ・デバイス領域の各部分をドーピングして、反対ドーパント形のドーパされた個々の領域を形成することによって作製される。

【0017】本発明の好適な態様では、電界効果トランジスタ(FET)を製造する方法が提供される。この方法は、第1のドーパント濃度の上側層と第2のドーパント濃度の下側層とを有する半導体基板を設ける工程を含んでいる。第2のドーパント濃度は、下側層がエッチング停止層を形成するように、第1のドーパント濃度とは異なる。浅いトレンチアイソレーション領域が基板に形成され、上側層は、エッチング停止層が露出されるまで異方性エッチングされ、上側層の材料が、アイソレーション領域の側壁に、FETのボディとして残る。次に、ボディの領域のドーパント濃度が変更されて、第1のドーパント形のソース/ドレイン領域と、第1のドーパント形とは反対の第2のドーパント形のチャネル領域とが形成される。チャネル領域にゲートが形成される。

【0018】

【発明の実施の形態】図1は、本発明の絶縁ゲート電界効果トランジスタ(IGFET)の斜視図である。IGFET10は、アイソレーション領域15の側壁14に形成され、半導体材料よりなる基板16上にある、半導体材料よりなるアクティブ・デバイス領域17を有する。アクティブ・デバイス領域17および基板16の半

導体材料は、好適には、シリコンである。IGFET10のアクティブ・デバイス領域17は、ボディ12の個々の面に形成されたソース領域18およびドレイン領域20とを有する。ボディ12は、IGFETの中央チャネル領域を形成し、チャネル領域は図1ではゲート導体22に隠れている。ゲート絶縁体24は、ボディ12上に薄膜として形成され、ボディ12の上に付着されたゲート導体22からボディ12を分離する。

【0019】IGFET10のアクティブ・デバイス領域17（ボディ12と、ソース領域18と、ドレイン領域20とを含み、これらはすべて基板16に接触している）は、好適には、単結晶シリコンで形成される。デバイス領域17は、ネック領域13を経て、基板に電気的および物理的に接触する。そうでなければ、基板から分離される。したがって、電荷キャリアは、ネック領域13を経て、デバイス領域17と基板16との間を通過する。ゲート導体22は、好適には、多結晶シリコンで形成され、窒化シリコン（ Si_3N_4 ）よりなるコンフォーマルな層26によって覆われる。ソース領域18およびドレイン領域20を覆うゲート絶縁体24の部分は、デバイス・コンタクト（図示せず）を形成するために除去される。ソース領域18およびドレイン領域20の他の部分は、ゲート絶縁体24によって覆われた状態で残すことができる。基板16を覆うゲート導体22の部分は、フィールド・アイソレーション領域28によって基板から絶縁される。このフィールド・アイソレーション領域は、好適には、アイソレーション領域15およびデバイス領域17の形成の後に高温の酸化雰囲気中に基板16を曝露することによって成長されたフィールド酸化物である。

【0020】本発明の第1の実施例によるIGFET10の製造を、図2～図4、図5～図7、図10～図14を参照して説明する。製造は、pドーパされた単結晶シリコンの基板から開始される。この基板には、例えば基板16（図2）の表面にイオン種を注入する周知の方法によって形成された重度ドーパされたウェル領域16a、16bが形成されている。IGFET10がn形になる場合には、ウェル領域16aはp形にドーパされ、IGFET10はウェル領域16a上に形成される。逆に、IGFET10がp形になる場合には、ウェル領域16bはn形にドーパされ、IGFET10はウェル領域16b上に形成される。さらに理解されるように、IGFET10がn形のみ、またはp形のみとなることが望まれる場合には、ウェル領域16a、16bは、相当するドーパント形でドーパされる。ウェル領域16a、16bが形成された後、真正または軽度ドーパの単結晶シリコンのエピタキシャル層（“エビ層”）40が、基板16の露出表面上に成長または形成される。その後、窒化シリコン（ Si_3N_4 ）の層42が、エビ層40上に形成または付着される。

【0021】図3に示すように、アイソレーション領域15が、層構造内にエッチングされたトレンチ内に、絶縁材料を付着することによって形成される。この工程は、好適には、次のようにして行われる。すなわち、層構造のフォトリソグラフィックにパターンニングされた領域に、トレンチを異方性エッチングし、テトラエチルオルトシリケート（TEOS）前駆体から化学蒸着（CVD）によって、絶縁材料、好適には二酸化シリコンを付着する。

【0022】次に、窒化物層42が、加熱リン酸におけるウェットエッチングによって除去され、好ましくは窒化シリコンよりなる材料のコンフォーマル層43が付着され、図4に示す構造が得られる。次に、コンフォーマル層43は、シリコンおよび二酸化シリコンに対し選択的に異方性エッチングされ、コンフォーマルに付着された材料（窒化シリコン）よりなる側壁スペーサ43aが残される。この側壁スペーサ43aは、アイソレーション領域15（図5）に接触している。

【0023】図6に示すように、エビ層40の異方性エッチングが、ウェル領域16a、16bが露出するまで行われる。この工程は、例えば次のようにして行われる。すなわち、真性または軽度ドーパのエビ層40を反応性イオンエッチングし、反応チャンバ内のプラズマ種の濃度の変化をモニタし、下側の基板16のウェル領域16a、16bが露出されたときに、エッチングを終了する。エビ層40がエッチングされた後、コンフォーマルに付着された材料、好適には窒化シリコンよりなる追加の層が付着され、異方性エッチングされて、側壁スペーサ44aが形成される。この側壁スペーサは、デバイス領域40aを覆い、ウェル領域16a、16bに接触しながら、浅いトレンチアイソレーション領域15に接触している（図7）。

【0024】次に、他のアイソレーション領域28が、好適には、シリコンの局部酸化（LOCOS）によりフィールド酸化物（FOX）を形成することによって、シリコン基板16の露出部分に形成される。これにより、図10に示す構造が得られる。図11に示すように、例えばウェットエッチングによって、側壁スペーサの窒化物部分44aが除去され、残るデバイス領域40aにイオン注入が行われる。理解されるように、デバイス領域40aの厚さは、フォトリソグラフィックに決められたパターンのエッチングによるよりはむしろ、側壁スペーサ技術によって定まる。半導体材料よりなるデバイス領域40aは、サブグラフィック寸法の厚さを有する。トランジスタの小さな厚さは、ボディ12の体積を小さくすることによって、トランジスタの電流出力を改善する。このことが、また、ボディ12内の電荷キャリアの密度を増大させる。デバイス領域40aの幅寸法Wに関して、Wは基板16に対してほぼ垂直な方向にあるので、トランジスタによって占有される表面領域の大きさ

を増大させることなしに、幅寸法 W を、必要のように増大させることができる。

【0025】 n 形IGFETを形成するには、 p ウェル領域16aを覆うデバイス領域40aに、イオンが好適に注入されて、ドーパント濃度および/またはドーパント形を、 p 形ドーピングに変更する。あるいはまた、 p 形IGFETを形成するには、 n ウェル領域16aを覆うデバイス領域40aに、イオンが好適に注入されて、ドーパント濃度および/またはドーパント形を、 n 形ドーピングに変更する。図11から明らかなように、デバイス領域40aは、ネック領域13を経て、基板16に電気的および物理的に接合している。そうでなければ、基板から分離される。したがって、理解されるように、得られたIGFET構造10において、デバイス領域40aと基板16との間の電荷キャリアの流れは、バルクシリコン基板に形成された従来のIGFETにおける電荷キャリアの流れに比べて、かなり減少し、前述したSOIデバイスのヒステリシスおよび信頼性の問題を十分に回避している。

【0026】ゲート絶縁体24は、デバイスシリコン40a上に薄膜として形成され、図12に示される構造が得られる。ゲート絶縁体24は、好適には、二酸化シリコン(SiO_2)または窒化された二酸化シリコン、酸化タンタル(TaO_5)のような高誘電率材料、あるいは二酸化シリコン/窒化シリコン/二酸化シリコン(ONO)のような層状絶縁体である。IGFET10が設けられる応用と、ゲート導体22として選ばれる材料とによって、ゲート絶縁体24は、 $SrTiO_3$ 、 $BaSrTiO_3$ のような非常に誘電率の高い絶縁材料とすることもできる。

【0027】ゲート絶縁体24が形成された後、その上にゲート導体が付着される(図13)。ゲート導体は、多結晶シリコン(ポリシリコン); タングステン(W)、アルミニウム(Al)のような金属; またはポリシリコン、タングステンまたは他の金属のシリサイドのような複合層状導体のような材料よりなる。次に、ゲート導体は、パターニングされ、反応性イオンエッチング(RIE)によってエッチングされて、図14に示す構造が得られる。この構造は、同じゲート導体によって接続されるIGFETデバイス、例えばゲート導体22aによって接続されたデバイス52、54を含むことができる。

【0028】前述したプロセスによって第1の実施例に従って形成されたIGFETデバイス10を、図15に示す。この実施例では、ボディ12は、浅いトレンチアイソレーション領域15の側壁上に支持される。デバイス10のアイソレーションは、デバイス10のボディ12が、浅いトレンチアイソレーション領域15の側壁上に一方の面で支持されているが、フィールド酸化物領域28によって他の回路素子(図示せず)から他方の面で

分離されているという点で、非対称である。図15からわかるように、デバイス10の幅対長さ(W/L)比は大きい。というのは、ボディ12の外周Xが、IGFETLのチャネル幅 W であり、幅 L が小さい寸法(この寸法にわたって、図1に示すように、ゲート導体がボディの長さ方向 Y に延びる)であるからである。さらに、デバイス10の幅 W は、ほぼ垂直方向に延びるので、図6で説明したように、エピ層40の厚さを増大させて、対応する深さにエッチングすることによって、製造プロセスにおいて、大きく変化させることなしに、 W/L 比を増大させることができる。さらに、ウェハの面上の完成デバイス10によって占有される領域の大きさを減らすことなしに、 W/L 比を増大または減少させることができる。

【0029】理解できるように、ボディ12の厚さ t を、サブリソグラフィック・スケールで定めて、小さなボディ体積を与え、これにより強いゲート制御と低いバックバイアス感度を可能にすることが極めて望ましい。ここで説明した製造プロセスは、サブリソグラフィック・スケールで定めた厚さ t (図15)を有するIGFETのボディ12を形成する。

【0030】図16および図17は、第2の実施例に従って構成されたIGFETデバイス11a、11bを示す断面図である。これらデバイスでは、ゲート導体22が、チャネル領域12を取り囲んでいる。理解できるように、浅いトレンチアイソレーション領域15とフィールド酸化物領域28は、大きなアイソレーション領域を形成し、このアイソレーション領域は、寄生容量と、隣接デバイス、例えば基板16上のIGFET11a間の不所望な結合とをかなり排除する。

【0031】以下に詳細に説明するように、デバイス11a、11bの構造は、それぞれの場合において、浅いトレンチアイソレーション領域15をリセスし、チャネル領域12が浅いトレンチアイソレーション領域15の上面15aに広く延びるようにすることによって実現される。特に、図16は、次のようなIGFET11aを示している。すなわち、浅いトレンチアイソレーション領域15が、チャネル領域12が基板16の半導体領域に接触する箇所12aの下にある箇所15bにまでオーバーセスされている。他方、図17は、次のようなIGFET11bを示している。すなわち、浅いトレンチアイソレーション領域15が、チャネル領域12が基板16の半導体領域に接触する箇所12aの下にある箇所15cにまでアンダリセスされている。

【0032】以下のプロセスの説明によってわかるように、浅いトレンチアイソレーション領域15がリセスされる深さを、選択的に制御して、しきい値電圧 V_T のようなIGFETのパラメータを調整することができる。チャネルへの非常に高いゲート結合を要求する応用において、このような囲みゲートを有するデバイスを製造す

ることが望まれる場合に、プロセス条件が、良好に制御され、および所望の領域にわたって、例えば集積回路チップの領域上で、ほぼ一様でなければならないことがわかる。

【0033】本発明の第2の実施例に従ってデバイス11a、11bを製造するプロセスを、次に説明する。製造は、図1～図4および図5～図7で説明した本発明の第1の実施例のように開始され、単結晶半導体よりなるデバイス領域40a上のコンフォーマル材料43aの層構造を有する側壁スペースが、浅いトレンチアイソレーション領域15の側壁に形成される。

【0034】次に、図7に示される前述したプロセス工程に従う処理の代わりに、浅いトレンチアイソレーション領域15が、図8に示されるように、シリコンおよび窒化シリコンに対し選択的な、方向性のある、好ましくは異方性の酸化シリコン・エッチングによってリセスされる。このエッチングの期間は、リセスの深さによって制御され、これによりIGFET11a、11bの所望の特性が得られる。例えば、低いしきい値電圧 V_T を要求する応用については、浅いトレンチアイソレーション領域15を、高いしきい値電圧 V_T を要求するリセスの深さ（箇所15c、図17）よりも大きい箇所15b（図16）の深さにリセスすることが望まれる。

【0035】次に、コンフォーマル材料、好適には窒化シリコンの層が、典型的には化学蒸着（CVD）によって付着され、シリコンおよび酸化シリコンに対し選択的に、異方性エッチングまたは方向性エッチングされる。これにより、図9に示すように、デバイス領域40a上の窒化シリコンよりなる保護コンフォーマル層45aが形成される。この保護コンフォーマル層45aは、LOCOSプロセスによるフィールド酸化物層28（図10）の形成の際に、酸化からデバイス40aを保護する。デバイス11a、11bの製造は、図10～図14について説明した工程によって完成される。

【0036】本発明を特定的好適な実施例により説明してきたが、当業者によれば、本発明の趣旨および範囲から逸脱することなく、多くの変更および拡張を行うことができることが分かるであろう。

【0037】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 基板と電荷キャリアの交換を可能にするネック領域を経て、半導体を含む基板と接触する、半導体材料よりなる実質的に電氣的に分離されたデバイス領域を備え、このデバイス領域は、前記ネック領域以外の面では前記基板との電氣的接触から分離されており、前記デバイス領域の中央部に形成されたチャネル領域と、前記チャネル領域と電氣的に接触するソース領域およびドレイン領域と、前記チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流を変調するように動作するゲートと、を備えることを特徴とする電界効果トラン

ジスタ。

(2) 前記ゲートと前記チャネルとの間に設けられた絶縁膜をさらに備えることを特徴とする助(1)に記載の電界効果トランジスタ。

(3) 前記デバイス領域は、前記基板のアイソレーション領域の側壁に接触することを特徴とする上記(2)に記載の電界効果トランジスタ。

(4) 前記デバイス領域は、サブリソグラフィック・スケールの厚さを有することを特徴とする上記(2)に記載の電界効果トランジスタ。

(5) 前記基板の前記半導体は、少なくとも第1のドーパント形の注入イオンを含むドーパされた領域を有し、前記デバイス領域のボディと前記ソース領域と前記ドレイン領域とのうちの少なくとも1つは、前記デバイス領域が定められた後に、イオン注入によってドーパされ、前記少なくとも1つのドーパされたデバイス領域は、前記ドーパされた基板の領域と位置合わせされていることを特徴とする上記(1)に記載の電界効果トランジスタ。

(6) 前記チャネル領域は、複数の電氣的に分離された面を有し、これらの面は、前記チャネル領域が前記ソース領域と前記ドレイン領域と前記基板とに接触する領域以外の前記チャネル領域のほぼすべての表面領域を有し、前記ゲートは、前記複数の電氣的に分離されたすべての面を覆うことを特徴とする上記(2)に記載の電界効果トランジスタ。

(7) 前記デバイス領域の第1の面に接する第1のアイソレーション領域をさらに備えることを特徴とする上記(6)に記載の電界効果トランジスタ。

(8) 前記デバイス領域の第2の面に接する第2のアイソレーション領域をさらに備えることを特徴とする上記(7)に記載の電界効果トランジスタ。

(9) 前記第1のアイソレーション領域は、浅いトレンチアイソレーション領域であり、前記第2のアイソレーション領域は、フィールド酸化物領域であることを特徴とする上記(8)に記載の電界効果トランジスタ。

(10) 浅いトレンチアイソレーション領域の側壁に形成され、基板と電荷キャリアの交換を可能にするネック領域を経て、半導体を含む基板と接触する、半導体材料よりなる実質的に電氣的に分離されたデバイス領域を備え、このデバイス領域は、前記ネック領域以外の面では前記基板との電氣的接触から分離されており、前記デバイス領域の中央部に形成し、第1のドーパント形の注入イオンを含むチャネル領域と、前記チャネル領域と電氣的に接触し、第2のドーパント形の注入イオンを含み、前記第1のドーパント形のイオンがほとんどないソース領域およびドレイン領域と、前記チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流を変調するように動作するゲートと、を備えることを特徴とする電界効果トランジスタ。

(11) 電界効果トランジスタを製造する方法であって、半導体材料を含む基板にアイソレーション領域を形成する工程と、前記基板を異方性エッチングして、半導体材料よりなる側壁スペーサ領域を、前記アイソレーション領域の側壁に、前記電界効果トランジスタのデバイス領域として残す工程と、前記デバイス領域の少なくとも一部のドーピング濃度を変更して、ソース/ドレイン領域およびチャネル領域を形成し、前記ソース/ドレイン領域は、第1のドーパント形を有し、前記チャネル領域は、前記第1のドーピング形とは反対の第2のドーパント形を有するようにする工程と、前記チャネル領域を覆うゲートを形成する工程と、を含むことを特徴とする電界効果トランジスタの製造方法。

(12) 前記アイソレーション領域を形成する工程は、浅いトレンチをエッチングし、絶縁材料を付着して、浅いトレンチアイソレーション領域を形成する工程を含むことを特徴とする上記(11)に記載の電界効果トランジスタの製造方法。

(13) 前記エッチングの工程の前に、前記基板の下側半導体層の上に単結晶半導体材料よりなるエピタキシャル層を形成する工程をさらに含み、前記エピタキシャル層は、前記下側半導体層がエッチング停止層を形成するように、前記下側半導体層とは異なるドーパント濃度を有し、前記エッチング工程は、前記エッチング停止層が露出するまで行われることを特徴とする上記(11)に記載の電界効果トランジスタの製造方法。

(14) 前記エピタキシャル層は、真性半導体材料で形成され、前記ドーパント濃度を変更する工程は、第1のドーパント形のイオンを注入して、前記チャネル領域を形成する工程と、第2のドーパント形のイオンを注入して、前記ソース/ドレイン領域を形成する工程とを含むことを特徴とする上記(13)に記載の電界効果トランジスタの製造方法。

(15) 前記浅いトレンチアイソレーション領域は、前記基板の半導体材料の最上層の上面上に位置する上面を有して形成され、前記エッチング工程の前に、前記最上層の露出表面上にコンフォーマル材料の層を付着する工程をさらに含み、前記エッチング工程は、前記コンフォーマル材料を異方性エッチングして、前記コンフォーマル層の材料が、前記浅いトレンチアイソレーション領域の前記側壁に、前記デバイス領域を形成する際のマスクとして残るようにする工程をさらに含む、ことを特徴とする上記(12)に記載の電界効果トランジスタの製造方法。

(16) 前記コンフォーマル材料は、窒化シリコンであることを特徴とする上記(15)に記載の電界効果トランジスタの製造方法。

(17) 前記アイソレーション領域および前記デバイス領域によって占有されない位置に、前記基板に第2のアイソレーション領域を形成する工程をさらに含み、前記

第2のアイソレーション領域は、前記ゲートのゲート導体を、前記基板から電気的に分離することを特徴とする上記(11)に記載の電界効果トランジスタの製造方法。

(18) 前記第2のアイソレーション領域は、前記基板を酸素に曝露することによって、フィールド酸化物領域として形成されることを特徴とする上記(17)に記載の電界効果トランジスタの製造方法。

(19) ゲート導体によって取り囲まれるチャネル領域を有する電界効果トランジスタを製造する方法であって、半導体材料を含む基板に第1のアイソレーション領域を形成する工程と、前記基板を異方性エッチングして、前記アイソレーション領域の側壁に、半導体材料よりなる側壁スペーサ領域を、前記電界効果トランジスタのデバイス領域として残す工程と、前記第1のアイソレーション領域をリセスして、リセスされた第1のアイソレーション領域の上面が、前記デバイス領域の上面の下に位置するようにする工程と、前記デバイス領域の少なくとも一部のドーピング濃度を変更して、ソース/ドレイン領域およびチャネル領域を形成し、前記ソース/ドレイン領域は、第1のドーパント形を有し、前記チャネル領域は、前記第1のドーピング形とは反対の第2のドーパント形を有するようにする工程と、前記チャネル領域上にゲート導体を付着して、前記チャネル領域を取り囲む工程と、を含むことを特徴とする電界効果トランジスタの製造方法。

(20) 前記エッチング工程は、前記基板を第1の深さにリセスし、前記リセスの工程は、前記第1の深さにほぼ同じ前記基板の深さに、前記第1のアイソレーション領域をリセスすることを特徴とする上記(19)に記載の電界効果トランジスタの製造方法。

(21) 前記FETの前記第1のアイソレーション領域とは反対側に、第2のアイソレーション領域を前記基板に形成する工程をさらに含むことを特徴とする上記(19)に記載の電界効果トランジスタの製造方法。

(22) 前記第1のアイソレーションは、浅いトレンチアイソレーション領域であることを特徴とする上記(21)に記載の電界効果トランジスタの製造方法。

(23) 前記第2のアイソレーションは、シリコンの局部酸化により形成されることを特徴とする上記(22)に記載の電界効果トランジスタの製造方法。

(24) 前記第1のアイソレーション領域は、前記基板の半導体材料の最上層の上面上に位置する上面を有する浅いトレンチアイソレーション領域であり、前記エッチング工程の前に、前記最上層の露出表面上にコンフォーマル材料の層を付着する工程をさらに含み、前記エッチング工程は、前記コンフォーマル材料を異方性エッチングして、前記コンフォーマル層の材料が、前記浅いトレンチアイソレーション領域の前記側壁に、前記デバイス領域を形成する際のマスクとして残るようにする工程を

さらに含む、ことを特徴とする上記(19)に記載の電界効果トランジスタの製造方法。

(25) 前記エッチングの工程は、サブミクログラフィック厚さのデバイス領域を形成することを特徴とする上記(24)に記載の電界効果トランジスタの製造方法。

【図面の簡単な説明】

【図1】本発明により構成された電界効果トランジスタの斜視図である。

【図2】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図3】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図4】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図5】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図6】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図7】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図8】本発明の第2の実施例のFETの製造工程を示す断面図である。

【図9】本発明の第2の実施例のFETの製造工程を示す断面図である。

【図10】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図11】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図12】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図13】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図14】本発明の第1の実施例のFETの製造工程を

示す断面図である。

【図15】ボディがアイソレーション領域の側壁に接触する、本発明の第1の実施例により構成されたFETの断面図である。

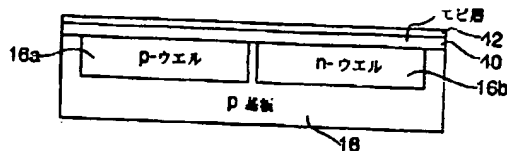
【図16】アイソレーション領域がオーバリセスされ、ゲート導体がトランジスタのボディを取り囲んでいる、本発明の第2の実施例により構成されたFETの断面図である。

【図17】アイソレーション領域がアンダリセスされ、ゲート導体がトランジスタのボディを取り囲んでいる、本発明の第2の実施例により構成されたFETの断面図である。

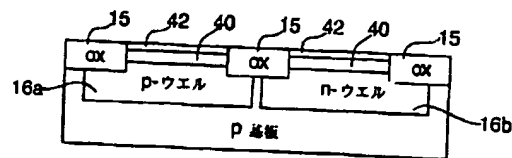
【符号の説明】

- 10 IGFET
- 12 ボディ
- 13 ネック領域
- 14 側壁
- 15 アイソレーション領域
- 16 基板
- 16a, 16b ウェル領域
- 17 アクティブ・デバイス領域
- 18 ソース領域
- 20 ドレイン領域
- 22 ゲート導体
- 24 ゲート絶縁体膜
- 26 コンフォーマル層
- 28 フィールド酸化物領域
- 40 エピタキシャル層
- 40a デバイス領域
- 42 窒化シリコン層
- 43 コンフォーマル層
- 43a, 43b 側壁スペーサ
- 52, 54 デバイス

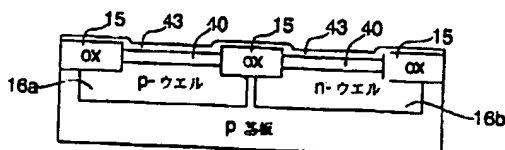
【図2】



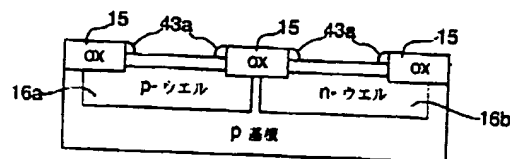
【図3】



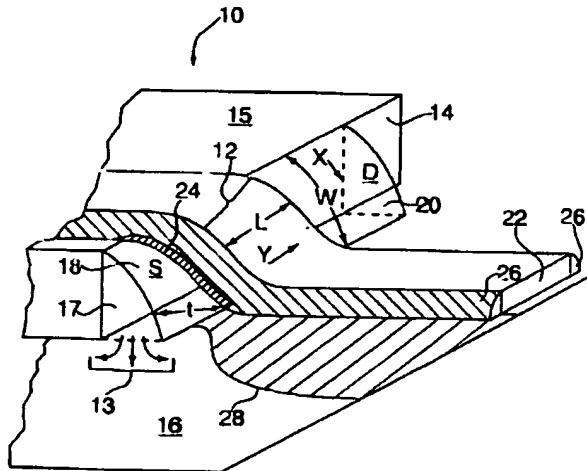
【図4】



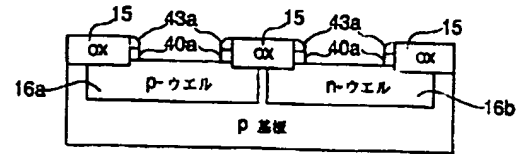
【図5】



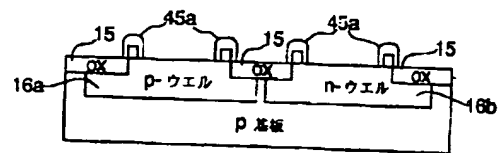
【図1】



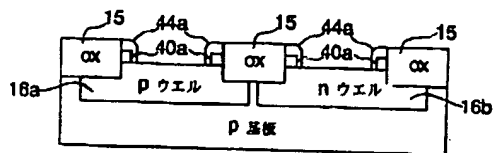
【図6】



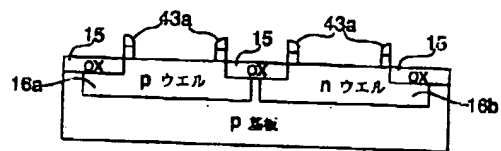
【図9】



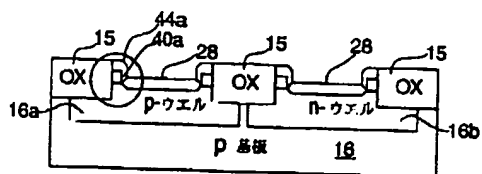
【図7】



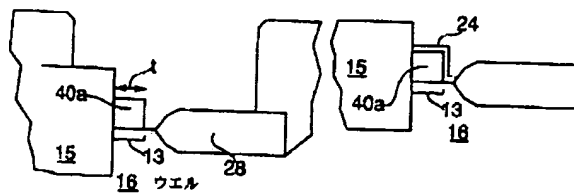
【図8】



【図10】

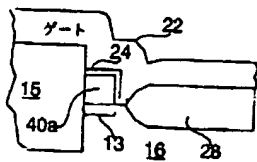


【図11】

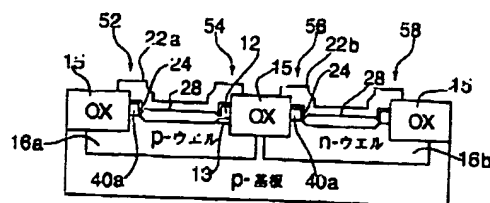


【図12】

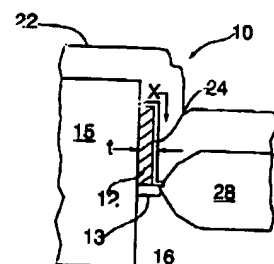
【図13】



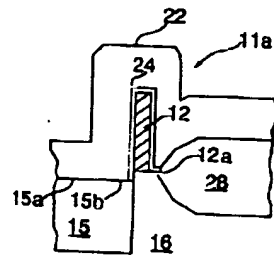
【図14】



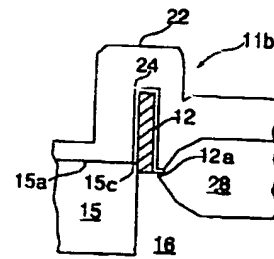
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 ジャック・アラン・マンデルマン
 アメリカ合衆国 12582 ニューヨーク州
 ストームヴィル ジャミィ レーン 5

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-251579

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

H01L 29/78

(21)Application number : 11-005079

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 12.01.1999

(72)Inventor : HSU LOUIS LU-CHEN
MANDELMAN JACK ALLAN

(30)Priority

Priority number : 98 7908 Priority date : 15.01.1998 Priority country : US

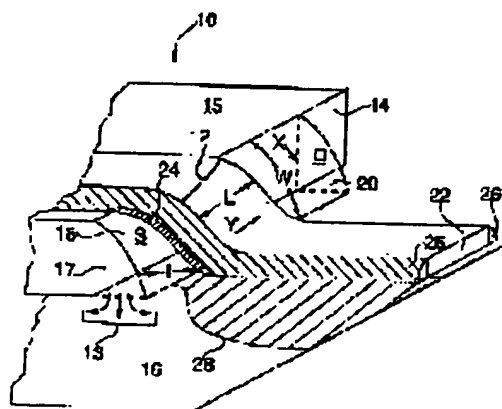
(54) FIELD-EFFECT TRANSISTOR AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a field-effect transistor having a substantially isolated body.

SOLUTION: This field-effect transistor as an insulated gate field-effect transistor 10 has a device region 17, formed on a semiconductor material-made substantially electrically isolated region contact a semiconductor substrate 16 via a neck region 13 capable of exchanging charged carriers with the semiconductor substrate 16.

The device region 17 of the transistor 10 is isolated from the electric contact to the substrate 16 at a surface other than that of the neck region 13.



LEGAL STATUS

[Date of request for examination] 29.07.1999

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3309078

[Date of registration] 17.05.2002

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-251579

(43) 公開日 平成11年(1999) 9月17日

(51) Int.Cl.
H 0 1 L 29/78

識別記号

F I
H 0 1 L 29/78

3 0 1 H

審査請求 未請求 請求項の数25 O L (全 11 頁)

(21) 出願番号	特願平11-5079	(71) 出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22) 出願日	平成11年(1999) 1月12日	(72) 発明者	ルイス・ル・チェン・スー アメリカ合衆国 12524 ニューヨーク州 フィッシュキル クロスバイ コート 7
(31) 優先権主張番号	09/007908	(74) 代理人	弁理士 坂口 博 (外1名)
(32) 優先日	1998年1月15日		
(33) 優先権主張国	米国 (US)		

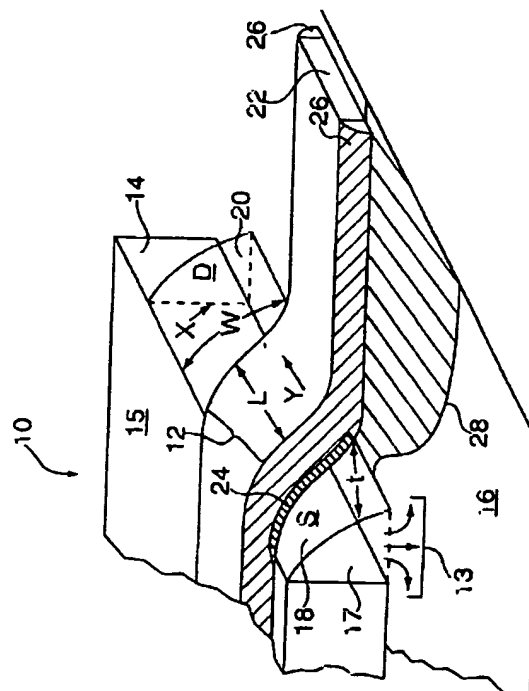
最終頁に続く

(54) 【発明の名称】 電界効果トランジスタおよびその製造方法

(57) 【要約】

【課題】 実質的に分離されたボディを有する電界効果トランジスタを提供する。

【解決手段】 本発明の電界効果トランジスタは、半導体基板16と電荷キャリアの交換を可能にするネック領域13を経て、半導体基板と接触する、半導体材料よりなる実質的に電気的に分離された領域に形成されたデバイス領域17を有している。トランジスタのデバイス領域は、ネック領域以外の面で基板との電気的接触から分離されている。



【特許請求の範囲】

【請求項1】基板と電荷キャリアの交換を可能にするネック領域を経て、半導体を含む基板と接触する、半導体材料よりなる実質的に電氣的に分離されたデバイス領域を備え、このデバイス領域は、前記ネック領域以外の面では前記基板との電氣的接触から分離されており、前記デバイス領域の中央部に形成されたチャネル領域と、

前記チャネル領域と電氣的に接触するソース領域およびドレイン領域と、

前記チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流を変調するように動作するゲートと、を備えることを特徴とする電界効果トランジスタ。

【請求項2】前記ゲートと前記チャネルとの間に設けられた絶縁膜をさらに備えることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項3】前記デバイス領域は、前記基板のアイソレーション領域の側壁に接触することを特徴とする請求項2記載の電界効果トランジスタ。

【請求項4】前記デバイス領域は、サブリソグラフィック・スケールの厚さを有することを特徴とする請求項2記載の電界効果トランジスタ。

【請求項5】前記基板の前記半導体は、少なくとも第1のドーパント形の注入イオンを含むドーパされた領域を有し、前記デバイス領域のボディと前記ソース領域と前記ドレイン領域とのうちの少なくとも1つは、前記デバイス領域が定められた後に、イオン注入によってドーパされ、前記少なくとも1つのドーパされたデバイス領域は、前記ドーパされた基板の領域と位置合わせされていることを特徴とする請求項1記載の電界効果トランジスタ。

【請求項6】前記チャネル領域は、複数の電氣的に分離された面を有し、これらの面は、前記チャネル領域が前記ソース領域と前記ドレイン領域と前記基板とに接触する領域以外の前記チャネル領域のほぼすべての表面領域を有し、前記ゲートは、前記複数の電氣的に分離されたすべての面を覆うことを特徴とする請求項2記載の電界効果トランジスタ。

【請求項7】前記デバイス領域の第1の面に接する第1のアイソレーション領域をさらに備えることを特徴とする請求項6記載の電界効果トランジスタ。

【請求項8】前記デバイス領域の第2の面に接する第2のアイソレーション領域をさらに備えることを特徴とする請求項7記載の電界効果トランジスタ。

【請求項9】前記第1のアイソレーション領域は、浅いトレンチアイソレーション領域であり、前記第2のアイソレーション領域は、フィールド酸化物領域であることを特徴とする請求項8記載の電界効果トランジスタ。

【請求項10】浅いトレンチアイソレーション領域の側壁に形成され、基板と電荷キャリアの交換を可能にする

ネック領域を経て、半導体を含む基板と接触する、半導体材料よりなる実質的に電氣的に分離されたデバイス領域を備え、このデバイス領域は、前記ネック領域以外の面では前記基板との電氣的接触から分離されており、前記デバイス領域の中央部を形成し、第1のドーパント形の注入イオンを含むチャネル領域と、

前記チャネル領域と電氣的に接触し、第2のドーパント形の注入イオンを含み、前記第1のドーパント形のイオンがほとんどないソース領域およびドレイン領域と、前記チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流を変調するように動作するゲートと、を備えることを特徴とする電界効果トランジスタ。

【請求項11】電界効果トランジスタを製造する方法であって、

半導体材料を含む基板にアイソレーション領域を形成する工程と、

前記基板を異方性エッチングして、半導体材料よりなる側壁スペース領域を、前記アイソレーション領域の側壁に、前記電界効果トランジスタのデバイス領域として残す工程と、

前記デバイス領域の少なくとも一部のドーピング濃度を変更して、ソース／ドレイン領域およびチャネル領域を形成し、前記ソース／ドレイン領域は、第1のドーパント形を有し、前記チャネル領域は、前記第1のドーピング形とは反対の第2のドーパント形を有するようにする工程と、

前記チャネル領域を覆うゲートを形成する工程と、を含むことを特徴とする電界効果トランジスタの製造方法。

【請求項12】前記アイソレーション領域を形成する工程は、浅いトレンチをエッチングし、絶縁材料を付着して、浅いトレンチアイソレーション領域を形成する工程を含むことを特徴とする請求項11記載の電界効果トランジスタの製造方法。

【請求項13】前記エッチングの工程の前に、前記基板の下側半導体層の上に単結晶半導体材料よりなるエピタキシャル層を形成する工程をさらに含み、前記エピタキシャル層は、前記下側半導体層がエッチング停止層を形成するように、前記下側半導体層とは異なるドーパント濃度を有し、前記エッチング工程は、前記エッチング停止層が露出するまで行われることを特徴とする請求項11記載の電界効果トランジスタの製造方法。

【請求項14】前記エピタキシャル層は、真性半導体材料で形成され、前記ドーパント濃度を変更する工程は、第1のドーパント形のイオンを注入して、前記チャネル領域を形成する工程と、第2のドーパント形のイオンを注入して、前記ソース／ドレイン領域を形成する工程とを含むことを特徴とする請求項13記載の電界効果トランジスタの製造方法。

【請求項15】前記浅いトレンチアイソレーション領域は、前記基板の半導体材料の最上層の上面上に位置する

上面を有して形成され、

前記エッチング工程の前に、

前記最上層の露出表面上にコンフォーマル材料の層を付着する工程をさらに含む、

前記エッチング工程は、前記コンフォーマル材料を異方性エッチングして、前記コンフォーマル層の材料が、前記浅いトレンチアイソレーション領域の前記側壁に、前記デバイス領域を形成する際のマスクとして残るようにする工程をさらに含む、ことを特徴とする請求項12記載の電界効果トランジスタの製造方法。

【請求項16】前記コンフォーマル材料は、窒化シリコンであることを特徴とする請求項15記載の電界効果トランジスタの製造方法。

【請求項17】前記アイソレーション領域および前記デバイス領域によって占有されない位置に、前記基板に第2のアイソレーション領域を形成する工程をさらに含む、前記第2のアイソレーション領域は、前記ゲートのゲート導体を、前記基板から電気的に分離することを特徴とする請求項11記載の電界効果トランジスタの製造方法。

【請求項18】前記第2のアイソレーション領域は、前記基板を酸素に曝露することによって、フィールド酸化物領域として形成されることを特徴とする請求項17記載の電界効果トランジスタの製造方法。

【請求項19】ゲート導体によって取り囲まれるチャネル領域を有する電界効果トランジスタを製造する方法であって、

半導体材料を含む基板に第1のアイソレーション領域を形成する工程と、

前記基板を異方性エッチングして、前記アイソレーション領域の側壁に、半導体材料よりなる側壁スペーサ領域を、前記電界効果トランジスタのデバイス領域として残す工程と、

前記第1のアイソレーション領域をリセスして、リセスされた第1のアイソレーション領域の上面が、前記デバイス領域の上面の下に位置するようにする工程と、

前記デバイス領域の少なくとも一部のドーピング濃度を変更して、ソース/ドレイン領域およびチャネル領域を形成し、前記ソース/ドレイン領域は、第1のドーパント形を有し、前記チャネル領域は、前記第1のドーピング形とは反対の第2のドーパント形を有するようにする工程と、

前記チャネル領域上にゲート導体を付着して、前記チャネル領域を取り囲む工程と、を含むことを特徴とする電界効果トランジスタの製造方法。

【請求項20】前記エッチング工程は、前記基板を第1の深さにリセスし、前記リセスの工程は、前記第1の深さにはほぼ同じ前記基板の深さに、前記第1のアイソレーション領域をリセスすることを特徴とする請求項19記載の電界効果トランジスタの製造方法。

【請求項21】前記FETの前記第1のアイソレーション領域とは反対側に、第2のアイソレーション領域を前記基板に形成する工程をさらに含むことを特徴とする請求項19記載の電界効果トランジスタの製造方法。

【請求項22】前記第1のアイソレーションは、浅いトレンチアイソレーション領域であることを特徴とする請求項21記載の電界効果トランジスタの製造方法。

【請求項23】前記第2のアイソレーションは、シリコンの局部酸化により形成されることを特徴とする請求項22記載の電界効果トランジスタの製造方法。

【請求項24】前記第1のアイソレーション領域は、前記基板の半導体材料の最上層の上面上に位置する上面を有する浅いトレンチアイソレーション領域であり、

前記エッチング工程の前に、

前記最上層の露出表面上にコンフォーマル材料の層を付着する工程をさらに含む、

前記エッチング工程は、前記コンフォーマル材料を異方性エッチングして、前記コンフォーマル層の材料が、前記浅いトレンチアイソレーション領域の前記側壁に、前記デバイス領域を形成する際のマスクとして残るようにする工程をさらに含む、ことを特徴とする請求項19記載の電界効果トランジスタの製造方法。

【請求項25】前記エッチングの工程は、サブリソグラフィック厚さのデバイス領域を形成することを特徴とする請求項24記載の電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路デバイスに関し、特に、電界効果トランジスタに関する。

【0002】

【従来の技術】増大したゲート制御、減少したボディ効果、減少したキャパシタンス、低い接合漏洩電流は、SOI (semiconductor-on-insulator) 基板に作製された金属酸化半導体電界効果トランジスタ(MOSFET)を含む絶縁ゲート電界効果トランジスタ(IGFET)の特性の一部である。SOI IGFETのこれらの特性は、それらを低電圧、低圧力の応用に用いることの興味を生じさせた。しかし、SOI基板にデバイスを作製することに固有の問題は、回路の設計を複雑にし、開発および製造のコストを増大させる。

【0003】基板に電気的に接触したボディを有し、基板と電荷キャリアを交換するバルクシリコン基板に形成されたIGFETデバイスとは異なり、SOI IGFETは、電荷キャリアを永久にあるいはほぼ永久に蓄積するフローティング・ボディを有している。SOI IGFETデバイスのこの特徴は、ヒステリシス効果を示す電気的特性を生じる。この電気的特性では、SOIデバイスは、先の数100ミリ秒の動作の際の状態の関数として電気的に動作する。さらに、SOI IGFET

のフローティング・ボディは、信頼性の問題と関係してきた。信頼性の問題は、例えば、バルクシリコン基板に作製された従来のIGFETに比べて、デバイス・ラッチアップへの増大したサセプティビリティ(susceptibility)、および増大したホットキャリア低下である。

【0004】SOI IGFETを受け入れることについての障害は、SOI基板製造のコストが増大することである。SOI基板の製造は、追加の処理工程、例えば酸素注入シリコン(SIMOX)基板における高温での長期間のアニールを伴う高ドーズ量の酸素注入、またはボンディングおよびエッチバックSOI(BESOI)におけるように、2つの用意されたウェハのボンディングおよび上部半導体層の所望の厚さへの研磨を含んでいる。

【0005】

【発明が解決しようとする課題】したがって、本発明の目的は、実質的に分離されたボディ(しかし基板に接触されたままであり、基板と電荷キャリアを交換する)を有する電界効果トランジスタを提供することにある。

【0006】本発明の他の目的は、基板へのボディ接触を保持しながら、前記したフローティング・ボディの有害な結果を避けて、急速なスイッチング速度を容易にするために、実質的に分離されたボディを有する電界効果トランジスタを提供することにある。

【0007】本発明のさらに他の目的は、非常に短い有効チャンネル長を有する電界効果トランジスタを提供することにある。

【0008】本発明の他の目的は、減少した接合容量を有する電界効果トランジスタを提供することにある。

【0009】本発明の他の目的は、大きなチャンネル幅を有するが、小領域の半導体基板を占有する電解効果トランジスタを製造する方法を提供することにある。

【0010】本発明の他の目的は、増大したデバイス電流を与えるために、サブリソグラフィ厚さを有するボディを持つ電界効果トランジスタを提供することにある。

【0011】本発明の他の目的は、ゲート導体がFETのボディを取り囲み、FETが大きなアイソレーション領域によって基板上で他の回路素子から電気的に分離されているFETを提供することにある。

【0012】

【課題を解決するための手段】これらのおよび他の目的は、本発明による実質的に分離されたボディを有するトランジスタと、トランジスタの製造方法とによって達成される。

【0013】本発明の第1の態様によれば、電界効果トランジスタ(FET)は、半導体基板と電荷キャリアの交換を可能にするネック領域を経て、半導体基板と接触する、半導体材料よりなる実質的に分離されたボディ、すなわちチャンネル領域を有している。トランジスタのボ

ディは、ネック領域以外の面で基板との電気的接触から分離されている。

【0014】本発明の好適な態様によれば、FETのボディは、基板のアイソレーション領域の側壁に形成される。本発明の他の好適な態様によれば、ボディは、複数の電気的に分離された面を有している。これらの面は、ネック領域での面以外の、ボディのほぼすべての面領域を有している。ゲートは、電気的に分離されたすべての面を覆っている。

【0015】本発明の他の好適な態様によれば、ボディは、サブリソグラフィック厚さを有し、単結晶半導体基板に接触する。エピタキシャル半導体材料の側壁スペース領域に形成される。好適には、基板は、第1の注入でドーパントイオンが注入され、ドーパントイオンの第2の注入によって、ボディ領域およびソース/ドレイン領域が形成され、ドーパされた基板領域に位置合わせされて、ドーパされたアクティブ・デバイス領域が形成される。

【0016】本発明のさらに他の態様によれば、電界効果トランジスタ(FET)を製造する方法が提供される。この方法は、半導体基板にアイソレーション領域を形成する工程と、基板上にコンフォーマル材料層を付着する工程と、コンフォーマル材料を異方性エッチングし、半導体材料をアイソレーション領域の側壁に、FETのアクティブ・デバイス領域として残す工程とを含んでいる。チャンネル領域およびソース/ドレイン領域が、アクティブ・デバイス領域の各部分をドーピングして、反対ドーパント形のドーパされた個々の領域を形成することによって作製される。

【0017】本発明の好適な態様では、電界効果トランジスタ(FET)を製造する方法が提供される。この方法は、第1のドーパント濃度の上側層と第2のドーパント濃度の下側層とを有する半導体基板を設ける工程を含んでいる。第2のドーパント濃度は、下側層がエッチング停止層を形成するように、第1のドーパント濃度とは異なる。浅いトレンチアイソレーション領域が基板に形成され、上側層は、エッチング停止層が露出されるまで異方性エッチングされ、上側層の材料が、アイソレーション領域の側壁に、FETのボディとして残る。次に、ボディの領域のドーパント濃度が変更されて、第1のドーパント形のソース/ドレイン領域と、第1のドーパント形とは反対の第2のドーパント形のチャンネル領域とが形成される。チャンネル領域にゲートが形成される。

【0018】

【発明の実施の形態】図1は、本発明の絶縁ゲート電界効果トランジスタ(IGFET)の斜視図である。IGFET10は、アイソレーション領域15の側壁14に形成され、半導体材料よりなる基板16上にある。半導体材料よりなるアクティブ・デバイス領域17を有する。アクティブ・デバイス領域17および基板16の半

導体材料は、好適には、シリコンである。IGFET10のアクティブ・デバイス領域17は、ボディ12の個々の面に形成されたソース領域18およびドレイン領域20とを有する。ボディ12は、IGFETの中央チャネル領域を形成し、チャネル領域は図1ではゲート導体22に隠れている。ゲート絶縁体24は、ボディ12上に薄膜として形成され、ボディ12の上に付着されたゲート導体22からボディ12を分離する。

【0019】IGFET10のアクティブ・デバイス領域17（ボディ12と、ソース領域18と、ドレイン領域20とを含み、これらはすべて基板16に接触している）は、好適には、単結晶シリコンで形成される。デバイス領域17は、ネック領域13を経て、基板に電気的および物理的に接触する。そうでなければ、基板から分離される。したがって、電荷キャリアは、ネック領域13を経て、デバイス領域17と基板16との間を通過する。ゲート導体22は、好適には、多結晶シリコンで形成され、窒化シリコン（ Si_3N_4 ）よりなるコンフォーマルな層26によって覆われる。ソース領域18およびドレイン領域20を覆うゲート絶縁体24の部分は、デバイス・コンタクト（図示せず）を形成するために除去される。ソース領域18およびドレイン領域20の他の部分は、ゲート絶縁体24によって覆われた状態で残すことができる。基板16を覆うゲート導体22の部分は、フィールド・アイソレーション領域28によって基板から絶縁される。このフィールド・アイソレーション領域は、好適には、アイソレーション領域15およびデバイス領域17の形成の後に高温の酸化雰囲気中に基板16を曝露することによって成長されたフィールド酸化物である。

【0020】本発明の第1の実施例によるIGFET10の製造を、図2～図4、図5～図7、図10～図14を参照して説明する。製造は、pドーパされた単結晶シリコンの基板から開始される。この基板には、例えば基板16（図2）の表面にイオン種を注入する周知の方法によって形成された重度ドーパされたウェル領域16a、16bが形成されている。IGFET10がn形になる場合には、ウェル領域16aはp形にドーパされ、IGFET10はウェル領域16a上に形成される。逆に、IGFET10がp形になる場合には、ウェル領域16bはn形にドーパされ、IGFET10はウェル領域16b上に形成される。さらに理解されるように、IGFET10がn形のみ、またはp形のみとなることが望まれる場合には、ウェル領域16a、16bは、相当するドーパント形でドーパされる。ウェル領域16a、16bが形成された後、真正または軽度ドーパの単結晶シリコンのエピタキシャル層（“エビ層”）40が、基板16の露出表面上に成長または形成される。その後、窒化シリコン（ Si_3N_4 ）の層42が、エビ層40上に形成または付着される。

【0021】図3に示すように、アイソレーション領域15が、層構造内にエッチングされたトレンチ内に、絶縁材料を付着することによって形成される。この工程は、好適には、次のようにして行われる。すなわち、層構造のフォトリソグラフィックにパターンニングされた領域に、トレンチを異方性エッチングし、テトラエチルオルトシリケート（TEOS）前駆体から化学蒸着（CVD）によって、絶縁材料、好適には二酸化シリコンを付着する。

【0022】次に、窒化物層42が、加熱リン酸におけるウェットエッチングによって除去され、好ましくは窒化シリコンよりなる材料のコンフォーマル層43が付着され、図4に示す構造が得られる。次に、コンフォーマル層43は、シリコンおよび二酸化シリコンに対し選択的に異方性エッチングされ、コンフォーマルに付着された材料（窒化シリコン）よりなる側壁スペーサ43aが残される。この側壁スペーサ43aは、アイソレーション領域15（図5）に接触している。

【0023】図6に示すように、エビ層40の異方性エッチングが、ウェル領域16a、16bが露出するまで行われる。この工程は、例えば次のようにして行われる。すなわち、真性または軽度ドーパのエビ層40を反応性イオンエッチングし、反応チャンバ内のプラズマ種の濃度の変化をモニタし、下側の基板16のウェル領域16a、16bが露出されたときに、エッチングを終了する。エビ層40がエッチングされた後、コンフォーマルに付着された材料、好適には窒化シリコンよりなる追加の層が付着され、異方性エッチングされて、側壁スペーサ44aが形成される。この側壁スペーサは、デバイス領域40aを覆い、ウェル領域16a、16bに接触しながら、浅いトレンチアイソレーション領域15に接触している（図7）。

【0024】次に、他のアイソレーション領域28が、好適には、シリコンの局部酸化（LOCOS）によりフィールド酸化物（FOX）を形成することによって、シリコン基板16の露出部分に形成される。これにより、図10に示す構造が得られる。図11に示すように、例えばウェットエッチングによって、側壁スペーサの窒化物部分44aが除去され、残るデバイス領域40aにイオン注入が行われる。理解されるように、デバイス領域40aの厚さは、フォトリソグラフィックに決められたパターンのエッチングによるよりはむしろ、側壁スペーサ技術によって定まる。半導体材料よりなるデバイス領域40aは、サブグラフィック寸法の厚さを有する。トランジスタの小さな厚さは、ボディ12の体積を小さくすることによって、トランジスタの電流出力を改善する。このことが、また、ボディ12内の電荷キャリアの密度を増大させる。デバイス領域40aの幅寸法Wに関して、Wは基板16に対してほぼ垂直な方向にあるので、トランジスタによって占有される表面領域の大きさ

を増大させることなしに、幅寸法 W を、必要のように増大させることができる。

【0025】 n 形IGFETを形成するには、 p ウェル領域16aを覆うデバイス領域40aに、イオンが好適に注入されて、ドーパント濃度および/またはドーパント形を、 p 形ドーピングに変更する。あるいはまた、 p 形IGFETを形成するには、 n ウェル領域16aを覆うデバイス領域40aに、イオンが好適に注入されて、ドーパント濃度および/またはドーパント形を、 n 形ドーピングに変更する。図11から明らかなように、デバイス領域40aは、ネック領域13を経て、基板16に電気的および物理的に接合している。そうでなければ、基板から分離される。したがって、理解されるように、得られたIGFET構造10において、デバイス領域40aと基板16との間の電荷キャリアの流れは、バルクシリコン基板に形成された従来のIGFETにおける電荷キャリアの流れに比べて、かなり減少し、前述したSOIデバイスのヒステリシスおよび信頼性の問題を十分に回避している。

【0026】ゲート絶縁体24は、デバイスシリコン40a上に薄膜として形成され、図12に示される構造が得られる。ゲート絶縁体24は、好適には、二酸化シリコン(SiO_2)または窒化された二酸化シリコン、酸化タンタル(TaO_5)のような高誘電率材料、あるいは二酸化シリコン/窒化シリコン/二酸化シリコン(ONO)のような層状絶縁体である。IGFET10が設けられる応用と、ゲート導体22として選ばれる材料とによって、ゲート絶縁体24は、 $SrTiO_3$ 、 $BaSrTiO_3$ のような非常に誘電率の高い絶縁材料とすることもできる。

【0027】ゲート絶縁体24が形成された後、その上にゲート導体が付着される(図13)。ゲート導体は、多結晶シリコン(ポリシリコン); タングステン(W)、アルミニウム(Al)のような金属; またはポリシリコン、タングステンまたは他の金属のシリサイドのような複合層状導体のような材料よりなる。次に、ゲート導体は、パターニングされ、反応性イオンエッチング(RIE)によってエッチングされて、図14に示す構造が得られる。この構造は、同じゲート導体によって接続されるIGFETデバイス、例えばゲート導体22aによって接続されたデバイス52、54を含むことができる。

【0028】前述したプロセスによって第1の実施例に従って形成されたIGFETデバイス10を、図15に示す。この実施例では、ボディ12は、浅いトレンチアイソレーション領域15の側壁上に支持される。デバイス10のアイソレーションは、デバイス10のボディ12が、浅いトレンチアイソレーション領域15の側壁上に一方の面で支持されているが、フィールド酸化物領域28によって他の回路素子(図示せず)から他方の面で

分離されているという点で、非対称である。図15からわかるように、デバイス10の幅対長さ(W/L)比は大きい。というのは、ボディ12の外周Xが、IGFETLのチャネル幅 W であり、幅 L が小さい寸法(この寸法にわたって、図1に示すように、ゲート導体がボディの長さ方向 Y に延びる)であるからである。さらに、デバイス10の幅 W は、ほぼ垂直方向に延びるので、図6で説明したように、エピ層40の厚さを増大させて、対応する深さにエッチングすることによって、製造プロセスにおいて、大きく変化させることなしに、 W/L 比を増大させることができる。さらに、ウェハの面上の完成デバイス10によって占有される領域の大きさを変えることなしに、 W/L 比を増大または減少させることができる。

【0029】理解できるように、ボディ12の厚さ t を、サブミクログラフィック・スケールで定めて、小さなボディ体積を与え、これにより強いゲート制御と低いバックバイアス感度を可能にすることが極めて望ましい。ここで説明した製造プロセスは、サブミクログラフィック・スケールで定めた厚さ t (図15)を有するIGFETのボディ12を形成する。

【0030】図16および図17は、第2の実施例に従って構成されたIGFETデバイス11a、11bを示す断面図である。これらデバイスでは、ゲート導体22が、チャネル領域12を取り囲んでいる。理解できるように、浅いトレンチアイソレーション領域15とフィールド酸化物領域28は、大きなアイソレーション領域を形成し、このアイソレーション領域は、寄生容量と、隣接デバイス、例えば基板16上のIGFET11a間の不所望な結合とをかなり排除する。

【0031】以下に詳細に説明するように、デバイス11a、11bの構造は、それぞれの場合において、浅いトレンチアイソレーション領域15をリセスし、チャネル領域12が浅いトレンチアイソレーション領域15の上面15aに広く延びるようにすることによって実現される。特に、図16は、次のようなIGFET11aを示している。すなわち、浅いトレンチアイソレーション領域15が、チャネル領域12が基板16の半導体領域に接触する箇所12aの下にある箇所15bにまでオーバーセスされている。他方、図17は、次のようなIGFET11bを示している。すなわち、浅いトレンチアイソレーション領域15が、チャネル領域12が基板16の半導体領域に接触する箇所12aの下にある箇所15cにまでアンダリセスされている。

【0032】以下のプロセスの説明によってわかるように、浅いトレンチアイソレーション領域15がリセスされる深さを、選択的に制御して、しきい値電圧 V_T のようなIGFETのパラメータを調整することができる。チャネルへの非常に高いゲート結合を要求する応用において、このような囲みゲートを有するデバイスを製造す

ることが望まれる場合に、プロセス条件が、良好に制御され、および所望の領域にわたって、例えば集積回路チップの領域上で、ほぼ一様でなければならないことがわかる。

【0033】本発明の第2の実施例に従ってデバイス11a、11bを製造するプロセスを、次に説明する。製造は、図1～図4および図5～図7で説明した本発明の第1の実施例のように開始され、単結晶半導体よりなるデバイス領域40a上のコンフォーマル材料43aの層構造を有する側壁スペースが、浅いトレンチアイソレーション領域15の側壁に形成される。

【0034】次に、図7に示される前述したプロセス工程に従う処理の代わりに、浅いトレンチアイソレーション領域15が、図8に示されるように、シリコンおよび窒化シリコンに対し選択的な、方向性のある、好ましくは異方性の酸化シリコン・エッチングによってリセスされる。このエッチングの期間は、リセスの深さによって制御され、これによりIGFET11a、11bの所望の特性が得られる。例えば、低いしきい値電圧 V_T を要求する応用については、浅いトレンチアイソレーション領域15を、高いしきい値電圧 V_T を要求するリセスの深さ（箇所15c、図17）よりも大きい箇所15b（図16）の深さにリセスすることが望まれる。

【0035】次に、コンフォーマル材料、好適には窒化シリコンの層が、典型的には化学蒸着（CVD）によって付着され、シリコンおよび酸化シリコンに対し選択的に、異方性エッチングまたは方向性エッチングされる。これにより、図9に示すように、デバイス領域40a上の窒化シリコンよりなる保護コンフォーマル層45aが形成される。この保護コンフォーマル層45aは、LOCOSプロセスによるフィールド酸化物層28（図10）の形成の際に、酸化からデバイス40aを保護する。デバイス11a、11bの製造は、図10～図14について説明した工程によって完成される。

【0036】本発明を特定的好適な実施例により説明してきたが、当業者によれば、本発明の趣旨および範囲から逸脱することなく、多くの変更および拡張を行うことができることが分かるであろう。

【0037】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) 基板と電荷キャリアの交換を可能にするネック領域を経て、半導体を含む基板と接触する、半導体材料よりなる実質的に電氣的に分離されたデバイス領域を備え、このデバイス領域は、前記ネック領域以外の面では前記基板との電氣的接触から分離されており、前記デバイス領域の中央部に形成されたチャネル領域と、前記チャネル領域と電氣的に接触するソース領域およびドレイン領域と、前記チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流を変調するように動作するゲートと、を備えることを特徴とする電界効果トラン

ジスタ。

(2) 前記ゲートと前記チャネルとの間に設けられた絶縁膜をさらに備えることを特徴とする助(1)に記載の電界効果トランジスタ。

(3) 前記デバイス領域は、前記基板のアイソレーション領域の側壁に接触することを特徴とする上記(2)に記載の電界効果トランジスタ。

(4) 前記デバイス領域は、サブリソグラフィック・スケールの厚さを有することを特徴とする上記(2)に記載の電界効果トランジスタ。

(5) 前記基板の前記半導体は、少なくとも第1のドーパント形の注入イオンを含むドーパされた領域を有し、前記デバイス領域のボディと前記ソース領域と前記ドレイン領域とのうちの少なくとも1つは、前記デバイス領域が定められた後に、イオン注入によってドーパされ、前記少なくとも1つのドーパされたデバイス領域は、前記ドーパされた基板の領域と位置合わせされていることを特徴とする上記(1)に記載の電界効果トランジスタ。

(6) 前記チャネル領域は、複数の電氣的に分離された面を有し、これらの面は、前記チャネル領域が前記ソース領域と前記ドレイン領域と前記基板とに接触する領域以外の前記チャネル領域のほぼすべての表面領域を有し、前記ゲートは、前記複数の電氣的に分離されたすべての面を覆うことを特徴とする上記(2)に記載の電界効果トランジスタ。

(7) 前記デバイス領域の第1の面に接する第1のアイソレーション領域をさらに備えることを特徴とする上記(6)に記載の電界効果トランジスタ。

(8) 前記デバイス領域の第2の面に接する第2のアイソレーション領域をさらに備えることを特徴とする上記(7)に記載の電界効果トランジスタ。

(9) 前記第1のアイソレーション領域は、浅いトレンチアイソレーション領域であり、前記第2のアイソレーション領域は、フィールド酸化物領域であることを特徴とする上記(8)に記載の電界効果トランジスタ。

(10) 浅いトレンチアイソレーション領域の側壁に形成され、基板と電荷キャリアの交換を可能にするネック領域を経て、半導体を含む基板と接触する、半導体材料よりなる実質的に電氣的に分離されたデバイス領域を備え、このデバイス領域は、前記ネック領域以外の面では前記基板との電氣的接触から分離されており、前記デバイス領域の中央部に形成し、第1のドーパント形の注入イオンを含むチャネル領域と、前記チャネル領域と電氣的に接触し、第2のドーパント形の注入イオンを含み、前記第1のドーパント形のイオンがほとんどないソース領域およびドレイン領域と、前記チャネル領域に結合され、前記ソース領域とドレイン領域との間の電流を変調するように動作するゲートと、を備えることを特徴とする電界効果トランジスタ。

(11) 電界効果トランジスタを製造する方法であって、半導体材料を含む基板にアイソレーション領域を形成する工程と、前記基板を異方性エッチングして、半導体材料よりなる側壁スペース領域を、前記アイソレーション領域の側壁に、前記電界効果トランジスタのデバイス領域として残す工程と、前記デバイス領域の少なくとも一部のドーピング濃度を変更して、ソース/ドレイン領域およびチャネル領域を形成し、前記ソース/ドレイン領域は、第1のドーパント形を有し、前記チャネル領域は、前記第1のドーピング形とは反対の第2のドーパント形を有するようにする工程と、前記チャネル領域を覆うゲートを形成する工程と、を含むことを特徴とする電界効果トランジスタの製造方法。

(12) 前記アイソレーション領域を形成する工程は、浅いトレンチをエッチングし、絶縁材料を付着して、浅いトレンチアイソレーション領域を形成する工程を含むことを特徴とする上記(11)に記載の電界効果トランジスタの製造方法。

(13) 前記エッチングの工程の前に、前記基板の下側半導体層の上に単結晶半導体材料よりなるエピタキシャル層を形成する工程をさらに含み、前記エピタキシャル層は、前記下側半導体層がエッチング停止層を形成するように、前記下側半導体層とは異なるドーパント濃度を有し、前記エッチング工程は、前記エッチング停止層が露出するまで行われることを特徴とする上記(11)に記載の電界効果トランジスタの製造方法。

(14) 前記エピタキシャル層は、真性半導体材料で形成され、前記ドーパント濃度を変更する工程は、第1のドーパント形のイオンを注入して、前記チャネル領域を形成する工程と、第2のドーパント形のイオンを注入して、前記ソース/ドレイン領域を形成する工程とを含むことを特徴とする上記(13)に記載の電界効果トランジスタの製造方法。

(15) 前記浅いトレンチアイソレーション領域は、前記基板の半導体材料の最上層の上面上に位置する上面を有して形成され、前記エッチング工程の前に、前記最上層の露出表面上にコンフォーマル材料の層を付着する工程をさらに含み、前記エッチング工程は、前記コンフォーマル材料を異方性エッチングして、前記コンフォーマル層の材料が、前記浅いトレンチアイソレーション領域の前記側壁に、前記デバイス領域を形成する際のマスクとして残るようにする工程をさらに含む、ことを特徴とする上記(12)に記載の電界効果トランジスタの製造方法。

(16) 前記コンフォーマル材料は、窒化シリコンであることを特徴とする上記(15)に記載の電界効果トランジスタの製造方法。

(17) 前記アイソレーション領域および前記デバイス領域によって占有されない位置に、前記基板に第2のアイソレーション領域を形成する工程をさらに含み、前記

第2のアイソレーション領域は、前記ゲートのゲート導体を、前記基板から電気的に分離することを特徴とする上記(11)に記載の電界効果トランジスタの製造方法。

(18) 前記第2のアイソレーション領域は、前記基板を酸素に曝露することによって、フィールド酸化物領域として形成されることを特徴とする上記(17)に記載の電界効果トランジスタの製造方法。

(19) ゲート導体によって取り囲まれるチャネル領域を有する電界効果トランジスタを製造する方法であって、半導体材料を含む基板に第1のアイソレーション領域を形成する工程と、前記基板を異方性エッチングして、前記アイソレーション領域の側壁に、半導体材料よりなる側壁スペース領域を、前記電界効果トランジスタのデバイス領域として残す工程と、前記第1のアイソレーション領域をリセスして、リセスされた第1のアイソレーション領域の上面が、前記デバイス領域の上面の下に位置するようにする工程と、前記デバイス領域の少なくとも一部のドーピング濃度を変更して、ソース/ドレイン領域およびチャネル領域を形成し、前記ソース/ドレイン領域は、第1のドーパント形を有し、前記チャネル領域は、前記第1のドーピング形とは反対の第2のドーパント形を有するようにする工程と、前記チャネル領域上にゲート導体を付着して、前記チャネル領域を取り囲む工程と、を含むことを特徴とする電界効果トランジスタの製造方法。

(20) 前記エッチング工程は、前記基板を第1の深さにリセスし、前記リセスの工程は、前記第1の深さにほぼ同じ前記基板の深さに、前記第1のアイソレーション領域をリセスすることを特徴とする上記(19)に記載の電界効果トランジスタの製造方法。

(21) 前記FETの前記第1のアイソレーション領域とは反対側に、第2のアイソレーション領域を前記基板に形成する工程をさらに含むことを特徴とする上記(19)に記載の電界効果トランジスタの製造方法。

(22) 前記第1のアイソレーションは、浅いトレンチアイソレーション領域であることを特徴とする上記(21)に記載の電界効果トランジスタの製造方法。

(23) 前記第2のアイソレーションは、シリコンの局部酸化により形成されることを特徴とする上記(22)に記載の電界効果トランジスタの製造方法。

(24) 前記第1のアイソレーション領域は、前記基板の半導体材料の最上層の上面上に位置する上面を有する浅いトレンチアイソレーション領域であり、前記エッチング工程の前に、前記最上層の露出表面上にコンフォーマル材料の層を付着する工程をさらに含み、前記エッチング工程は、前記コンフォーマル材料を異方性エッチングして、前記コンフォーマル層の材料が、前記浅いトレンチアイソレーション領域の前記側壁に、前記デバイス領域を形成する際のマスクとして残るようにする工程を

さらに含む、ことを特徴とする上記(19)に記載の電界効果トランジスタの製造方法。

(25) 前記エッチングの工程は、サブリソグラフィック厚さのデバイス領域を形成することを特徴とする上記(24)に記載の電界効果トランジスタの製造方法。

【図面の簡単な説明】

【図1】本発明により構成された電界効果トランジスタの斜視図である。

【図2】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図3】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図4】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図5】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図6】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図7】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図8】本発明の第2の実施例のFETの製造工程を示す断面図である。

【図9】本発明の第2の実施例のFETの製造工程を示す断面図である。

【図10】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図11】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図12】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図13】本発明の第1の実施例のFETの製造工程を示す断面図である。

【図14】本発明の第1の実施例のFETの製造工程を

示す断面図である。

【図15】ボディがアイソレーション領域の側壁に接触する、本発明の第1の実施例により構成されたFETの断面図である。

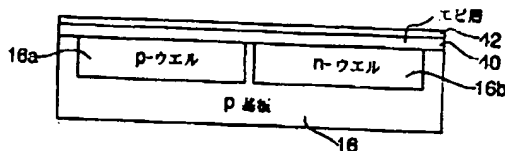
【図16】アイソレーション領域がオーバリセスされ、ゲート導体がトランジスタのボディを取り囲んでいる、本発明の第2の実施例により構成されたFETの断面図である。

【図17】アイソレーション領域がアンダリセスされ、ゲート導体がトランジスタのボディを取り囲んでいる、本発明の第2の実施例により構成されたFETの断面図である。

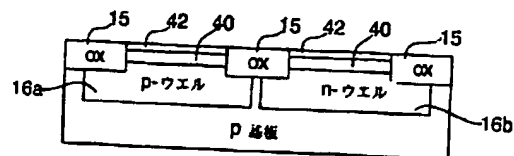
【符号の説明】

- 10 IGFET
- 12 ボディ
- 13 ネック領域
- 14 側壁
- 15 アイソレーション領域
- 16 基板
- 16a, 16b ウェル領域
- 17 アクティブ・デバイス領域
- 18 ソース領域
- 20 ドレイン領域
- 22 ゲート導体
- 24 ゲート絶縁体膜
- 26 コンフォーマル層
- 28 フィールド酸化物領域
- 40 エピタキシャル層
- 40a デバイス領域
- 42 窒化シリコン層
- 43 コンフォーマル層
- 43a, 43b 側壁スペーサ
- 52, 54 デバイス

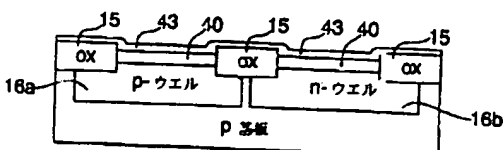
【図2】



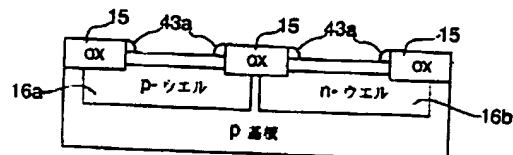
【図3】



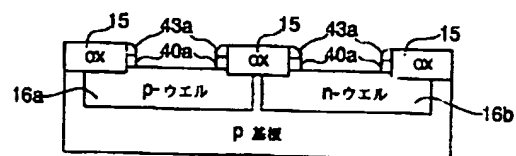
【図4】



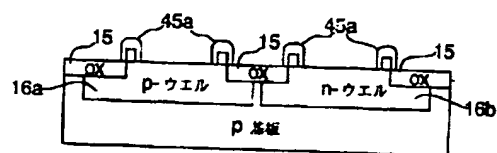
【図5】



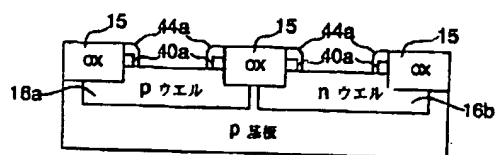
【図6】



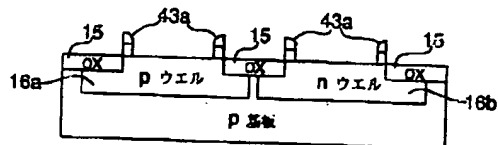
【圖9】



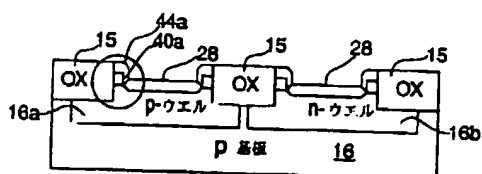
【図7】



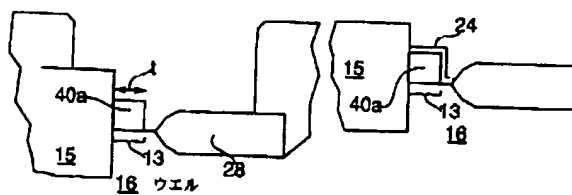
【図8】



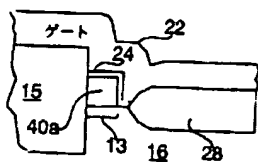
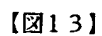
【图10】



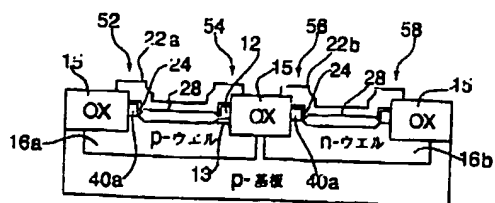
【図 11】



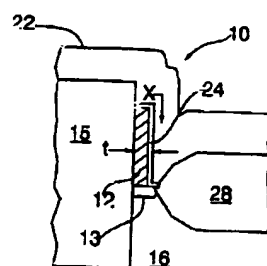
【圖12】



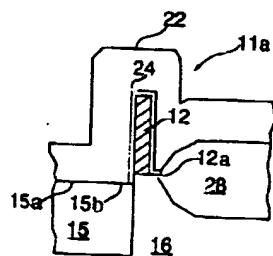
【図 14】



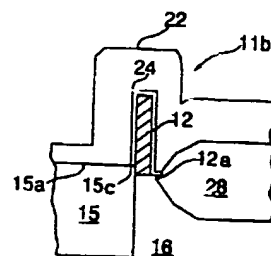
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 ジャック・アラン・マンデルマン
 アメリカ合衆国 12582 ニューヨーク州
 ストームヴィル ジャミィ レーン 5